

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

003747578

WPI Acc No: 1983-743781/198334

XRAM Acc No: C83-080138

XRPX Acc No: N83-148035

**Scattering reflection surface mfr. on semiconductor wafer - by forming  
aluminium (alloy) wiring layer, forming interlayer and punching, forming  
second wiring layer and photoetching**

Patent Assignee: SUWA SEIKOSHA KK (SUWA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58118691	A	19830714				198334 B

Priority Applications (No Type Date): JP 821162 A 19820107

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 58118691	A	3		

Abstract (Basic): JP 58118691 A

A first wiring layer of Al or its alloy is formed on a semiconductor wafer, an interlayer film is deposited on the first wiring layer and punched, and then the second layer of Al or its alloy is deposited on said interlayer film and etched by a photoetching method using a mask for forming a scattering reflection face.

Method provides a highly effective scattering reflection face on a semiconductor wafer, and in the first wiring layer of Al or its alloy, no disconnection and no interlayer leak occur. Also, alignment can be easily attained, because the scattering reflection face is formed on the second layer of Al or its alloy. Used for mfr. of scattering reflection plate for television picture display IC, etc..

0/3

Title Terms: SCATTERING; REFLECT; SURFACE; MANUFACTURE;  
SEMICONDUCTOR;

WAFER; FORMING; ALUMINIUM; ALLOY; WIRE; LAYER; FORMING;  
INTERLAYER; PUNCH

; FORMING; SECOND; WIRE; LAYER; PHOTOETCHING

Derwent Class: L03; P81; P85

International Patent Class (Additional): G02F-001/13; G09F-009/35

File Segment: CPI; EngPI

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

## ⑫ 公開特許公報 (A)

昭58—118691

⑤ Int. Cl.<sup>3</sup>  
G 09 F 9/35  
// G 02 F 1/133

識別記号

庁内整理番号  
7520—5C  
7348—2H

⑬ 公開 昭和58年(1983)7月14日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ④ 半導体基板上の散乱性反射面の製造方法

⑥ 特 願 昭57—1162

⑦ 出 願 昭57(1982)1月7日

⑧ 発 明 者 朝比奈通雄

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑨ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑩ 代 理 人 弁理士 最上務

## 明 細 書

## 1. 発明の名称 半導体基板上への散乱性反射面の製造方法

## 2. 特許請求の範囲

(1) 半導体基板上に、第1層AL、又はAL合金配線を形成する手段と、該配線上に層間膜をデポし、穴あけする手段と、第2層AL、又はAL合金膜をデポし、表面エッチングする手段よりなる半導体基板上への散乱性反射面の製造方法。

(2) 第2層AL、又はAL合金膜を、散乱反射面形成用マスクで、ホトエッチングすることを特徴とし、第一項記載の半導体基板上への散乱性反射面の形成方法。

## 3. 発明の詳細な説明

本発明は、半導体集積回路によつて、B1基板上へのスイッチング用トランジスタを、マトリックス上に形成し、このB1基板と透明ガラスとの

間に、薄膜を封入しカテレビ画像表示IC内の散乱性反射面の製造方法に関するものである。第1図に従来の半導体基板上への散乱性反射面形成方法の一例を示し、図中1は、不純物ドーピングB1基板、2は、アクティブ領域形成用LOCOS、3、4は、Tr10、画素コンデンサ11形成用のゲート酸化膜とポリシリコン膜である。6は、第1層配線のAL膜で、デポ状態の鏡面では、散乱反射が得られないので、デポ後、表面をエッチングし、凸凹面をつくる。この時、ポリシリコンの段差部、コンタクト部は、デポ時でもつままりが悪い上、エッチング速度も、局部的に速い為、表面エッチすると、非常に断続し易い。又後面が荒れている為、微細パターンのアライメントがしにくく、エッチングもサイドエッチングが多いという欠点を持つ。

次に、層間膜7をデポ、穴あけ後、第2層AL8をデポ、ホトエッチ後パッシベーション膜9を形成するわけであるが、第1ALが荒れている為、層間膜剥離が低下するという欠点があった。本発

## 特開昭58-118691(2)

## 実施例2

第1AL層として、AL-B1(2番)膜を、1μスパッタでデポ、層間膜ノンドーフB10、を1μデポ、穴あけ後、第2層AL-B1(2番)膜を1番デポ後、散乱反射層の、楕円形状の凹パターンがランダムに配列したマスクで0.5μエッチングする。エッチング断面形状は、図5図の如く傾斜面がパターン側面に形成され、入射光16がほぼよく散乱反射17する。

以上本発明を実施例で説明してきたが、従来の散乱反射面を、比較的バタエシールのゆるく、しかも最終工程に近い第2AL層で形成している為、従来の第1AL層での断線、層間リーク、フライメントのしにくさなどがなくなり、効果的な、散乱性反射面を、具備することが出来るものである。

## 4. 図面の簡単な説明

図1図は従来方式の散乱性反射面を有したIC断面図である。

明は、従来の欠点を一掃し、さらに散乱反射特性も、改善した製造方法を提供するものである。

本発明の骨子は、散乱反射面を、第2層ALで形成するというものであり、その内容を実施例で説明していく。

## 実施例1

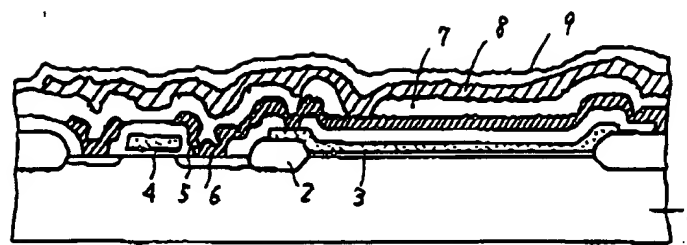
図2図は、本発明の一例の断面図であり、コンタクトホトエッチまでは、従来と同じ工程で、第1AL層形成後の表面荒しエッチングはない。この為第1AL12は、断線が殆んど生じない。次に層間膜15をデポ後穴あけを行う、続いて第2AL14を1μデポし、表面層を0.5μエッチングする。この表面エッチにより、散乱反射面を形成し、従来の第1AL表面エッチと同効果を生じさせる。第2ALは、面蒸コンデンサー部の第1ALを層間膜上へひきだすだけなので、デザインルールもゆるく、断線、ショートしても、問題が少ない。又層間膜の配座、リークにも悪影響を与えない。最後にパッシベーション膜15をデポし工程を終了する。

図2図は、本発明方式によるIC断面図。

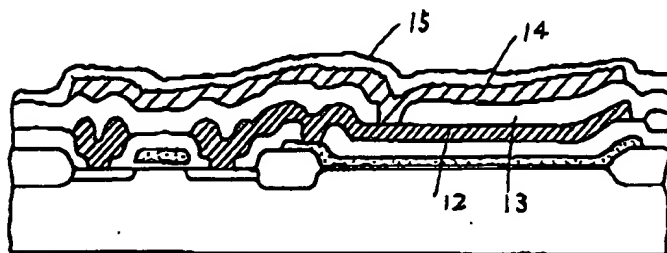
図3図は、本発明方式による散乱性反射面の拡大断面図である。

- 1 ... B1 番膜
- 2 ... L O C O B
- 3 ... グート膜
- 4 ... ポリシリコン膜
- 5 ... 第2フィールド膜
- 6 ... 第1AL表面エッチ膜
- 7 ... 層間膜
- 8 ... 第2AL膜
- 9 ... パッシベーション膜
- 10 ... T F 部
- 11 ... 面蒸コンデンサー部
- 12 ... 第1AL膜
- 13 ... 層間膜
- 14 ... 第2AL散乱性反射面
- 15 ... パッシベーション膜
- 16 ... 入射光
- 17 ... 散乱反射光

特開昭58-118691(3)



第 1 図



第 2 図



第 3 図